

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :  
Kenichi NATSUME :  
Serial No.: [NEW] : Attn: Applications Branch  
Filed: October 1, 2003 : Attorney Docket No.: OKI.582  
For: SCAN TEST CIRCUIT WITH RESET CONTROL CIRCUIT

**CLAIM OF PRIORITY**

Honorable Assistant Commissioner for Patents and Trademarks,  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Japanese application:

Appln. No. 2002-353702 filed December 5, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: October 1, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年12月 5日

出 願 番 号  
Application Number:

特願2002-353702

[ ST.10/C ]:

[ JP2002-353702 ]

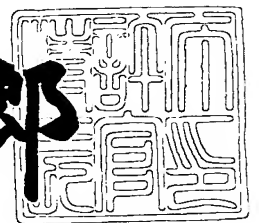
出 願 人  
Applicant(s):

沖電気工業株式会社

2003年 6月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3042869

【書類名】 特許願

【整理番号】 KT000471

【提出日】 平成14年12月 5日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G01R 31/317

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 夏目 賢一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スキャンテスト回路

【特許請求の範囲】

【請求項 1】 リセット信号が入力されるリセット入力端子を有し、スキャンデータと、データとが入力され、この入力された前記スキャンデータと前記データとをスキャンシフトイネーブル信号によって切り換えて出力データとする第 1 のフリップフロップと、

前記スキャンシフトイネーブル信号によって、前記リセット信号を制御するリセット制御手段と、  
を備えたことを特徴とする、スキャンテスト回路。

【請求項 2】 前記リセット制御手段は、前記リセット信号を、キャプチャシーケンス中のみ有効となるように制御することを特徴とする、請求項 1 に記載のスキャンテスト回路。

【請求項 3】 前記リセット制御手段は、前記スキャンシフトイネーブル信号の反転信号と、前記リセット信号を制御するリセット制御信号を生成する組み合わせ回路の出力信号とを入力とする AND ゲートからなることを特徴とする、請求項 1 または 2 に記載のスキャンテスト回路。

【請求項 4】 前記組み合わせ回路は、前記第 1 のフリップフロップ回路に対してチェーン接続された第 2、第 3 のフリップフロップ回路の出力信号を入力とする AND ゲートからなることを特徴とする、請求項 3 に記載のスキャンテスト回路。

【請求項 5】 さらに、  
前記リセット信号の有効・無効を制御するマスク手段と、  
該マスク手段を制御するマスク制御手段と、  
を備えたことを特徴とする、請求項 1、2 または 3 のいずれかに記載のスキャンテスト回路。

【請求項 6】 前記マスク手段は、前記スキャンシフトイネーブル信号と、前記マスク制御手段の出力信号とを入力とする OR ゲートからなることを特徴とする、請求項 5 に記載のスキャンテスト回路。

【請求項 7】 前記マスク制御手段は、任意のデータをロード可能な第 4 のフリップフロップ回路であることを特徴とする、請求項 5 または 6 に記載のスキランテスト回路。

【請求項 8】 前記マスク制御手段は、任意のデータを入力可能な入力手段であることを特徴とする、請求項 5 または 6 に記載のスキランテスト回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路のテスト方式として知られているスキランテストにおいて、テストパターン削減、故障検出率の向上、および、スキランテスト関連回路規模の削減に関するものであり、特に、回路内部でセトリセット信号を発生し、これを非同期セトリセットとして使用するフリップフロップ（F/F）を含む回路のスキランテスト回路に対して有効である。

【 0 0 0 2 】

【従来の技術】

従来、スキランテスト回路内部でリセット信号を発生し、これを非同期リセットとして使用する回路では、通常データの入出力、スキランデータ入出力、スキランイネーブル入力、スキランテストモード入力、クロック入力、および構成によっては、外部リセット入力を用いていた。

【 0 0 0 3 】

スキランシフトシーケンスのスキランシフト中は、スキランフリップフロップが変化するため、組み合わせ回路の出力がサイクルごとに変化する可能性がある。そのため、スキランテストシーケンス中は、非同期リセット付きフリップフロップのリセット入力がアクティブにならないように固定したり、外部リセット入力を設け、スキランテストシーケンス中は、必ず外部リセット入力を選択される構成とし、スキランテストシーケンス中は、外部リセット入力を非アクティブとし、キャプチャシーケンス中は外部リセット入力を任意に変化させてスキランテストを実行していた。

【 0 0 0 4 】

また、スキャンテストモード入力によって、観測できなくなった組み合わせ回路の出力信号を観測するために、排他的論理和回路やスキャン観測専用のフリップフロップを設けて、組み合わせ回路の出力信号を可観測とし、故障検出率を上げる構成がとられていた。

【0 0 0 5】

【特許文献1】

特開 2 0 0 2 - 2 6 7 7 1 9

【特許文献2】

特開 2 0 0 1 - 2 9 6 3 3 1

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、上記従来の回路・方式では、スキャンテスト用の専用のスキャンテストモード入力や外部リセット入力のピンを別に設ける必要がある。そのため、LSIのピン数増加によるコスト増加、故障検出率の低下による信頼性の低下、回路規模・テストパターン（テスト時間）増加によるコスト増加につながってしまうという問題点があった。

【0 0 0 7】

また、組み合わせ回路の出力が観測できず、これに関係した組み合わせ回路の故障を検出できないという問題点もあった。これを解決するために、組み合わせ回路の出力を観測するための排他的論理和回路やスキャン観測専用のフリップフロップを付加すると、回路規模が増加し、テストパターンも増加するという別の問題が生じる。

【0 0 0 8】

本発明は、従来のスキャンテスト回路が有する上記問題点に鑑みてなされたものであり、本発明の目的は、LSIのピン数を削減し、テストパターン削減、故障検出率の向上、および、スキャンテスト関連回路規模の削減を図ることの可能な、新規かつ改良されたスキャンテスト回路を提供することである。

【0 0 0 9】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の観点によれば、リセット信号（RST）が入力されるリセット入力端子（R）を有し、スキャンデータ（SI）と、データ（DI）とが入力され、この入力されたスキャンデータとデータとをスキャンシフトイネーブル信号（SCAN\_SE）によって切り換えて出力データ（DO）とする第1のフリップフロップ（100）と、スキャンシフトイネーブル信号によって、リセット信号を制御するリセット制御手段（101）とを備えたことを特徴とする、スキャンテスト回路が提供される（請求項1）。ここで例えば、リセット制御手段（101）は、リセット信号を、キャプチャシーケンス中のみ有効となるように制御するようにしてもよい（請求項2）。

## 【0010】

また、本発明によれば、スキャンテスト回路であって、スキャンテスト回路の出力信号を出力する第1のフリップフロップ回路（100）と、第1のフリップフロップ回路をスキャンテストシーケンスにシフトさせるスキャンシフトイネーブル信号（SCAN\_SE）によって、第1のフリップフロップ回路をリセットするリセット信号（RST）を制御するリセット制御手段（101）とを備えたことを特徴とする、スキャンテスト回路が提供される。ここで例えば、リセット制御手段（101）は、リセット信号を、キャプチャシーケンス中のみ有効となるように制御するようにしてもよい。

## 【0011】

上記において、リセット制御手段（101）は、例えば、スキャンシフトイネーブル信号の反転信号と、リセット信号を制御するリセット制御信号を生成する組み合わせ回路（110）の出力信号（LO）とを入力とするANDゲートとして構成することができる（請求項3）。ANDゲートであれば回路規模の増加を最小限に抑えることができる。

## 【0012】

また、回路構成の一例として、スキャンチェーンが3つのフリップフロップで構成されている場合を想定すると、組み合わせ回路（110）は、例えば、第1のフリップフロップ回路に対してチェーン接続された第2、第3のフリップフロップ回路（120、130）の出力信号を入力とするANDゲートとして構成す



ることができる（請求項4）。

【0013】

かかる回路構成によれば、スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを別途設ける必要がないので、LSIのピンを少なくできるという効果がある。また、リセット制御手段（101）の追加のみで、フリップフロップ（例えば、非同期リセット付きフリップフロップ）のリセット回路のスキャンテストを実行できるので、少ないスキャンテスト回路規模でスキャンテストの故障検出率を向上できるという効果がある。

【0014】

また、本発明の第2の観点によれば、上記スキャンテスト回路において、さらに、リセット信号（RST）の有効・無効を制御するマスク手段（202）と、該マスク手段を制御するマスク制御手段（203，TDI）とを備えて構成することができる（請求項5）。

【0015】

上記において、マスク手段（202）は、スキャンシフトイネーブル信号と、マスク制御手段の出力信号とを入力とするORゲートとして構成することができる（請求項6）。ORゲートであれば回路規模の増加を最小限に抑えることができる。

【0016】

また、マスク制御手段は、任意のデータをロード可能な第4のフリップフロップ回路（203）として構成することができる（請求項7）。

【0017】

かかる回路構成によれば、上述のようにスキャンテスト回路規模を小さくできるという効果に加え、フリップフロップ（例えば、非同期リセット付きフリップフロップ）のリセット回路の信号に対して、これの有効・無効を制御するマスク手段（202）と、該マスク手段を制御するマスク制御手段（203，TDI）とを設けているので、スキャンテスト制御性が向上し、テストパターン数を少なくできるという効果がある。

【0018】

また、本発明の第 3 の観点によれば、上記マスク制御手段を、任意のデータを入力可能な入力手段（T D I）として構成することができる（請求項 8）。

【 0 0 1 9 】

かかる回路構成によれば、上述のようにスキャンテスト回路規模を小さくできるという効果、および、スキャンテスト制御性が向上し、テストパターン数を少なくできるという効果に加え、スキャンテスト用の専用の入力手段（例えば、テスト専用ピン）を任意のタイミングで制御できるので、タイミング設計がしやすいという効果がある。

【 0 0 2 0 】

なお上記において、括弧書きで記した構成要素および信号は、理解を容易にするため、後述の実施形態における対応する構成要素および信号を記したに過ぎず、本発明がこれに限定されるものではない。

【 0 0 2 1 】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかるスキャンテスト回路の好適な実施の形態について詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【 0 0 2 2 】

（第 1 の実施の形態）

本実施の形態にかかる非同期リセット付きフリップフロップ回路用スキャンテスト回路（以下、単にスキャンテスト回路という）について、図 1 および図 2 を参照しながら説明する。図 1 は、本実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。図 2 は、図 1 の回路を含むスキャンテスト回路の全体構成の一例を示す説明図である。

【 0 0 2 3 】

まず、図 1 を参照しながら説明すると、本実施の形態にかかるスキャンテスト回路は、非同期リセット付きフリップフロップ（以下、単にフリップフロップという）1 0 0 と、AND ゲート 1 0 1 と、組み合わせ回路 1 1 0 を含んで構成さ

れている。

#### 【 0 0 2 4 】

フリップフロップ 1 0 0 のスキャンシフトイネーブル入力ピン S E には、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。フリップフロップ 1 0 0 のスキャンデータ入力 S I には、スキャンデータ S I が入力されている。スキャンデータ S I は、図示しない他のフリップフロップのスキャン出力など、スキャンシフト時にフリップフロップ 1 0 0 にスキャンデータをシフトさせるための信号である。フリップフロップ 1 0 0 のデータ入力ピン D I には、データ D I が入力されている。データ D I は、任意の回路の出力データが入力されている。

#### 【 0 0 2 5 】

フリップフロップ 1 0 0 の出力 Q からは、データ D O が出力されている。フリップフロップ 1 0 0 の出力データ D O は、フリップフロップ 1 0 0 のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ 1 0 0 にはクロック信号 C L K が入力されている。このクロック信号 C L K は、スキャンテスト時のスキャンクロックとして使用される。

#### 【 0 0 2 6 】

フリップフロップ 1 0 0 の非同期リセット入力ピン（R：正論理）には、リセット信号 R S T が入力されている。リセット信号 R S T は、ANDゲート 1 0 1 から出力されている。ANDゲート 1 0 1 の入力として、組み合わせ回路 1 1 0 の出力データ L O が正論理で入力され、スキャンシフトイネーブル信号 S C A N \_ S E が負論理で入力されている。

#### 【 0 0 2 7 】

次いで、図 1 に示した回路を含むスキャンテスト回路の全体構成の一例について、図 2 を参照しながら説明する。スキャンテスト回路 1 0 は、フリップフロップ 1 0 0 と、ANDゲート 1 0 1 と、組み合わせ回路 1 1 0 を含み、さらに、フリップフロップ 1 2 0、1 3 0（本発明の第 2、第 3 のフリップフロップ）と、バッファ 1 1 1、1 1 2 を含んで構成されている。

## 【 0 0 2 8 】

フリップフロップ 1 0 0 のスキャンシフトイネーブル入力ピン S E には、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。フリップフロップ 1 0 0 のスキャンデータ入力 S I には、スキャンデータ S I が入力されている。スキャンデータ S I は、フリップフロップ 1 2 0 のスキャン出力、すなわち、スキャンシフト時にフリップフロップ 1 0 0 にスキャンデータをシフトさせるための信号である。フリップフロップ 1 0 0 のデータ入力ピン D I には、データ D I が入力されている。データ D I はフリップフロップ 1 2 0 の出力データがバッファ 1 1 1 で増幅されて入力されている。

## 【 0 0 2 9 】

フリップフロップ 1 0 0 の出力 Q からは、データ D O が出力されている。フリップフロップ 1 0 0 の出力データ D O は、フリップフロップ 1 0 0 のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ 1 0 0 にクロック信号 C L K が入力され、スキャンテスト時のスキャンクロックとして使用される。

## 【 0 0 3 0 】

フリップフロップ 1 0 0 の非同期リセット入力ピン ( R : 正論理 ) には、リセット信号 R S T が入力されている。リセット信号 R S T は、 A N D ゲート 1 0 1 から出力されている。 A N D ゲート 1 0 1 の入力として、組み合わせ回路 1 1 0 の出力データ L O が正論理で入力され、スキャンシフトイネーブル信号 S C A N \_ S E が負論理で入力されている。

## 【 0 0 3 1 】

図 2 に示した例において、組み合わせ回路 1 1 0 は、フリップフロップ 1 2 0 , 1 3 0 の出力信号を入力とする A N D ゲートにより構成されている。なお、組み合わせ回路の構成は、図 2 に示した組み合わせ回路 1 1 0 の構成に限定されるものではない。フリップフロップ 1 2 0 の出力信号 ( バッファ 1 1 1 の入力信号 ) を a , フリップフロップ 1 3 0 の出力信号を b , A N D ゲートの出力信号を y とすると、スキャンシーケンス状態終了後 ( スキャンシフトイネーブル信号 S C A N \_ S E = 0 ) の信号 a , b , y と、リセット信号 R S T , フリップフロップ

1 0 0 の状態、バッファ 1 1 1 のピン a が 0 に縮退している故障 (s t u c k a t 0 : S A 0) をテストできる／できない、の関係は、図 3 に示した通りである。

#### 【 0 0 3 2 】

次いで、スキャンテスト回路 1 0 の動作の一例を、図 4 を参照しながら説明する。本実施の形態の動作を説明するタイミングチャートを図 4 に示す。

#### 【 0 0 3 3 】

t 0 で S C A N \_ S E = 1 となり、スキャンシフトシーケンスが始まる。

#### 【 0 0 3 4 】

t 1 からスキャンシフトが始まり、S C A N \_ S E = 1 の間、クロックに同期してスキャンシフトが行われ、t 3 で S C A N \_ S E = 0 となり、最初のスキャンシフトシーケンスが終了する。なお、本実施の形態では、スキャンチェーンが 3 つのフリップフロップ 3 0 0, 3 2 0, 3 3 0 で構成されており、図 4 に示したように、t 0 ~ t 3 までのスキャンシーケンス中はクロックが 3 回振幅しているが、本発明はこれに限定されない。なお、後述の他の実施の形態についても同様である。

#### 【 0 0 3 5 】

t 2 では、最初のスキャンシフトシーケンスのシフトが完了し、組み合わせ回路 1 1 0 の出力 L O = 0 となり、フリップフロップ 1 0 0 の入力データ D I = d 0 となる。なお、図 4 における D I, L O の値は一例に過ぎず、D I, L O の値は任意である。

#### 【 0 0 3 6 】

t 4 で最初のキャプチャシーケンスが開始される。フリップフロップ 1 0 0 の入力データ D I = d 0 であるため、t 4 でクロック C L K の立ち上がりでフリップフロップ 1 0 0 は d 0 をキャプチャし、クロック C L K 立ち上がり後、フリップフロップ 1 0 0 の出力データ D O = d 0 となる。AND ゲート 1 0 1 の出力 R S T は t 4 まで図に示すように R S T = 0 となっている。以後、AND ゲート 1 0 1 の入力として、S C A N \_ S E が負論理で入力されているため、R S T 信号はスキャンシフトシーケンス中 (S C A N \_ S E = 1) は、R S T = 0 となり、

スキャンシフトシーケンス中にスキャンシフトデータがリセットされてしまうこととはない。

## 【0037】

t 4以降、同様にスキャンシフトシーケンス、キャプチャシーケンスが繰り返される。

## 【0038】

t 5において、クロックCLKの立ち上がりで、キャプチャによって組み合わせ回路110の出力LO=1となると、ANDゲート101の出力データRST=1となるので、フリップフロップ100の出力DO=0となる。

## 【0039】

t 6でスキャンシフトシーケンスが始まりSCAN\_SE=1となるため、ANDゲート101の出力データRST=0となる。

## 【0040】

t 6から始まったスキャンシフトシーケンスのスキャンシフトの最後のクロック立ち上がりタイミングt 7直後、組み合わせ回路110の出力LO=1となると、t 8ではスキャンシフトイネーブル信号SCAN\_SE=0となるため、ANDゲート101の出力データRST=1となり、フリップフロップ100の出力DO=0となる。

## 【0041】

t 9のキャプチャで組み合わせ回路110の出力LO=1が継続されるとt 9～t 10まで、スキャンシフトイネーブル信号SCAN\_SE=0であるため、ANDゲート101の出力データRST=1となり、フリップフロップ100の出力DO=0となる。

## 【0042】

t 11ではANDゲート101の出力データRSTの値はt 8と同様にRST=1となり、t 12のキャプチャで組み合わせ回路110の出力LO=0となると、ANDゲート101の出力データRST=0となる。

## 【0043】

以上のように、スキャンシフトシーケンス中は非同期リセット信号によりスキ

キャンシフトデータをリセットすることなくスキャンシフトし、キャプチャサイクル時の組み合わせ回路 1 1 0 の出力 L O によって、フリップフロップ 1 0 0 のリセット・非リセット状態をテストすることができる。

## 【 0 0 4 4 】

## (第 1 の実施の形態の効果)

以上説明したように、本実施の形態によれば、スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを別途設ける必要がないので、L S I のピンを少なくできるという効果がある。また、A N D ゲート追加のみで、フリップフロップ 1 0 0 のリセット回路のスキャンテストを実行できるので、少ないスキャンテスト回路規模でスキャンテストの故障検出率を向上できるという効果がある。

## 【 0 0 4 5 】

## (第 2 の実施の形態)

本実施の形態にかかる非同期リセット付きフリップフロップ回路用スキャンテスト回路（以下、単にスキャンテスト回路という）について、図 5 および図 6 を参照しながら説明する。図 5 は、本実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。図 6 は、図 5 の回路を含むスキャンテスト回路の全体構成の一例を示す説明図である。

## 【 0 0 4 6 】

まず、図 5 を参照しながら説明すると、本実施の形態にかかるスキャンテスト回路は、非同期リセット付きフリップフロップ（以下、単にフリップフロップという）2 0 0 と、A N D ゲート 2 0 1 と、組み合わせ回路 2 1 0 と、O R ゲート 2 0 2 と、任意データロード用スキャンフリップフロップ（本発明の第 4 のフリップフロップであり、以下、単にスキャンフリップフロップという）2 0 3 を含んで構成されている。

## 【 0 0 4 7 】

フリップフロップ 2 0 0 のスキャンシフトイネーブル入力ピン S E には、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。フリップフロップ 2 0 0 のスキャンデータ入力 S I には、スキャンデータ S I が入力されている。

スキャンデータ S I は、図示しない他のフリップフロップのスキャン出力など、スキャンシフト時にフリップフロップ 2 0 0 にスキャンデータをシフトさせるための信号である。フリップフロップ 2 0 0 のデータ入力ピン D I には、データ D I が入力されている。データ D I は、任意の回路の出力データが入力されている。

【 0 0 4 8 】

フリップフロップ 2 0 0 の出力 Q からは、データ D O が出力されている。フリップフロップ 2 0 0 の出力データ D O は、フリップフロップ 2 0 0 のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ 2 0 0 にクロック信号 C L K が入力されている。このクロック信号 C L K は、スキャンテスト時のスキャンクロックとして使用される。

【 0 0 4 9 】

フリップフロップ 2 0 0 の非同期リセット入力ピン（R：正論理）には、リセット信号 R S T が入力されている。リセット信号 R S T は、AND ゲート 2 0 1 から出力されている。AND ゲート 2 0 1 の入力として、組み合わせ回路 2 1 0 の出力データ L O が正論理で入力され、OR ゲート 2 0 2 の出力信号 O R O が負論理で入力されている。

【 0 0 5 0 】

OR ゲート 2 0 2 の入力として、スキャンフリップフロップ 2 0 3 の出力 S F F O、および、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。スキャンフリップフロップ 2 0 3 データ入力ピン D I には、排他的論理和回路の出力や、任意の組み合わせ回路の出力データを入力し、スキャン観測性を向上することも可能であるが、本実施の形態の説明では“1”を入力しておく。

【 0 0 5 1 】

スキャンフリップフロップ 2 0 3 にはクロック信号 C L K が入力されている。このクロック信号 C L K は、スキャンテスト時のスキャンクロックとして使用される。スキャンフリップフロップ 2 0 3 に使用されるクロック信号は必ずしも、フリップフロップ 2 0 0 のクロック信号と同じである必要はないが、説明を簡潔



にするため、本実施の形態の説明では同じクロックを用いるものとする。

#### 【 0 0 5 2 】

次いで、図 5 に示した回路を含むスキャンテスト回路の全体構成の一例について、図 6 を参照しながら説明する。スキャンテスト回路 2 0 は、フリップフロップ 2 0 0 と、AND ゲート 2 0 1 と、組み合わせ回路 2 1 0 と、OR ゲート 2 0 2 と、スキャンフリップフロップ 2 0 3（本発明の第 4 のフリップフロップ）を含み、さらに、フリップフロップ 2 3 0 と、バッファ 2 1 1 を含んで構成されている。

#### 【 0 0 5 3 】

フリップフロップ 2 0 0 のスキャンシフトイネーブル入力ピン S E には、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。フリップフロップ 2 0 0 のスキャンデータ入力 S I には、スキャンデータ S I が入力されている。スキャンデータ S I は、フリップフロップ 2 0 3 のスキャン出力など、スキャンシフト時にフリップフロップ 2 0 0 にスキャンデータをシフトさせるための信号である。フリップフロップ 2 0 0 のデータ入力ピン D I には、データ D I が入力されている。データ D I はフリップフロップ 2 3 0 の出力データがバッファ 2 1 1 で増幅されて入力されている。

#### 【 0 0 5 4 】

フリップフロップ 2 0 0 の出力 Q からは、データ D O が出力されている。フリップフロップ 2 0 0 の出力データ D O は、フリップフロップ 2 0 0 のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ 2 0 0 にクロック信号 C L K が入力されている。このクロック信号 C L K は、スキャンテスト時のスキャンクロックとして使用される。

#### 【 0 0 5 5 】

フリップフロップ 2 0 0 の非同期リセット入力ピン（R：正論理）には、リセット信号 R S T が入力されている。リセット信号 R S T は、AND ゲート 2 0 1 から出力されている。AND ゲート 2 0 1 の入力として、組み合わせ回路 2 1 0 の出力データ L O が正論理で入力され、OR ゲート 2 0 2 の出力信号 O R O が負

論理で入力されている。

【 0 0 5 6 】

ORゲート202の入力として、スキャンフリップフロップ203の出力SFFO、および、スキャンシフトイネーブル信号SCAN\_SEが入力されている。スキャンフリップフロップ203データ入力ピンDIには、排他的論理和回路の出力や、任意の組み合わせ回路の出力データを入力し、スキャン観測性を向上することも可能であるが、本実施の形態では“1”を入力しておく。

【 0 0 5 7 】

スキャンフリップフロップ203にはクロック信号CLKが入力されている。このクロック信号CLKは、スキャンテスト時のスキャンクロックとして使用される。スキャンフリップフロップ203に使用されるクロック信号は必ずしも、フリップフロップ200のクロック信号と同じである必要はないが、説明を簡潔にするため、本実施の形態の説明では同じクロックを用いるものとする。

【 0 0 5 8 】

図6に示した例において、組み合わせ回路210は、フリップフロップ230およびデータ入力DIを入力とするANDゲートにより構成されている。なお、組み合わせ回路の構成は、図6に示した組み合わせ回路210の構成に限定されるものではない。フリップフロップ230の出力信号（バッファ211の入力信号）をa、データDIをb、ANDゲートの出力信号をyとすると、スキャンシークエンス状態終了後（スキャンシフトイネーブル信号SCAN\_SE=0）の信号a、b、yと、ORゲート202の出力信号ORO、リセット信号RST、フリップフロップ200の状態、バッファ211のピンaが0に縮退している故障（stuck at 0 : SA0）をテストできる／できない、の関係は、図7に示した通りである。

【 0 0 5 9 】

図7に示すように、マスク機能を設けることによって、フリップフロップ200のリセットを実施する／しないを自由にコントロールできるので、テストパターンの融通が効くようになる。テスト時間を短くするために、テストパターンを圧縮することが可能である。すなわち、同じ状態を実現できるテストパターンを

削減する作業をツール上で行うが、マスク機能を設けることによってテストパターンを圧縮することが可能である。

#### 【 0 0 6 0 】

本実施の形態では、マスク機能を設けたことによって、バッファ 1 1 1 のピン a の A S 0 故障をテストできるケースが増える。1 つのテストパターンで、1 スキャンシーケンス後の状態から、キャプチャ動作により、多くのゲートの故障検出をするので、1 つのパターンで多くの故障を検出できる方が全体のテストパターン数が少なくなる。それゆえ、ツールはより少ないパターンを探しやすくなる。なお通常、テストパターンは A T P G ( A u t o m a t i c T e s t P a t t e r n G e n e r a t o r ) ツールで生成するが、トータルでより少ないテストパターンになるようなテストパターンを自動的に生成する。

#### 【 0 0 6 1 】

次いで、スキャンテスト回路 2 0 の動作の一例を、図 8 を参照しながら説明する。本実施の形態の動作を説明するタイミングチャートを図 8 に示す。スキャンテストシーケンスについては第 1 の実施の形態と同等である。クロック C L K , スキャンシフトイネーブル信号 S C A N \_ S E , および、組み合わせ回路 2 1 0 の出力 L O の波形は第 1 の実施の形態の動作と同様である。

#### 【 0 0 6 2 】

第 1 の実施の形態では、キャプチャシーケンス中 ( S C A N \_ S E = 0 ) 中は、組み合わせ回路 2 1 0 の出力 L O のみによってフリップフロップ 1 0 0 のリセット入力信号 R S T が決まるが、第 2 の実施の形態では、スキャンシフトシーケンスの最後のシフトタイミング、例えば、図 8 では、 $t_{s0}$ ,  $t_{s1}$ ,  $t_{s2}$ ,  $t_{s3}$  のクロックの立ち上がり直後のタイミング時に、スキャンフリップフロップ 2 0 3 にスキャンローディングされているデータ、すなわち、スキャンフリップフロップ 2 0 3 の出力データ S F F O と、キャプチャシーケンスのクロックの立ち上がり ( キャプチャ ) タイミング、例えば、図 8 では、 $t_{c0}$ ,  $t_{c1}$ ,  $t_{c2}$ ,  $t_{c3}$  のクロックの立ち上がり直後のタイミング時に、スキャンフリップフロップ 2 0 3 にキャプチャされたデータ ( S F F O , 本実施の形態の構成においては D I = “ 1 ” をキャプチャするため、必ず S F F O = 1 となる ) によって

も、フリップフロップ200のリセット入力信号RSTを制御できる。

【0063】

$t_{s0}$ のクロック立ち上がりで、組み合わせ回路210の出力が0となり、 $SFFO=1$ となるようにスキャンフリップフロップ203にスキャンローディングすると、ORゲート202の出力 $ORO=1$ となる。ORゲート202の出力 $ORO=1$ のとき、ANDゲート201の出力 $RST=0$ となる。

【0064】

$t_{c0}$ において、フリップフロップ200の入力データ $DI=d0$ のため、 $t_{c0}$ のクロックの立ち上がりで $d0$ がキャプチャされ、フリップフロップ200の出力 $DO=d0$ となる。

【0065】

$t_{s1}$ のクロック立ち上がりで、組み合わせ回路210の出力 $LO=0$ となり、 $SFFO=1$ となるようにスキャンフリップフロップ203にスキャンローディングすると、ORゲート202の出力 $ORO=1$ となる。ORゲート202の出力 $ORO=1$ のとき、ANDゲート201の出力 $RST=0$ となる。

【0066】

$t_{c1}$ において、フリップフロップ200の入力データ $DI=d1$ のため、 $t_{c1}$ のクロックの立ち上がりで $d1$ がキャプチャされ、フリップフロップ200の出力 $DO=d1$ となる。 $t_{s1}$ のクロックの立ち上がりで、 $LO=1$ となった場合、ORゲート202の出力 $ORO=1$ のため、ANDゲート201の出力 $RST=0$ のままである。

【0067】

$t_{s2}$ のクロック立ち上がりで、組み合わせ回路210の出力 $LO=1$ となり、 $SFFO=0$ となるようにスキャンフリップフロップ203にスキャンローディングすると、 $t_{s2}$ 後の $SCAN\_SE$ の立ち下がり( $SCAN\_SE=0$ )で、ORゲート202の出力 $ORO=0$ となる。ORゲート202の出力 $ORO=0$ のとき、ANDゲート201の出力 $RST$ は、組み合わせ回路210の出力によって決定され、 $RST=1$ となる。このとき、フリップフロップ200の出力 $DO=0$ となる。

## 【0068】

$t_{c2}$ のクロックCLKの立ち上がりで、スキャンフリップフロップ203には $DI=1$ がキャプチャされ、 $SFFO=1$ となり、ORゲート202の出力ORO=1となる。このとき、ANDゲート201の出力RST=0となる。

## 【0069】

$t_{s3}$ のクロック立ち上がりで、組み合わせ回路210の出力LO=1となり、 $SFFO=1$ となるようにスキャンフリップフロップ203にスキャンローディングすると、ORゲート202の出力ORO=1となる。ORゲート202の出力ORO=1のとき、ANDゲート201の出力RST=0となる。

## 【0070】

$t_{c3}$ において、フリップフロップ200の入力データ $DI=d3$ のため、 $t_{c3}$ のクロックの立ち上がりで $d3$ がキャプチャされ、フリップフロップ200の出力DO= $d3$ となる。 $t_{s3}$ のクロックの立ち上がりで、LO=0なり、ORゲート202の出力ORO=1のため、ANDゲート201の出力RST=0のままである。

## 【0071】

以上のように、スキャンシフトシーケンス中は非同期リセット信号によりスキャンシフトデータをリセットすることなくスキャンシフトし、キャプチャサイクル時の組み合わせ回路210の出力LOと、これを有効・無効にマスク制御可能なスキャンフリップフロップ203によって、フリップフロップ200のリセット・非リセット状態をテストすることができる。

## 【0072】

## (第2の実施の形態の効果)

以上説明したように、本実施の形態によれば、スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを余分に設ける必要がないので、LSIのピンを少なくできるという効果がある。また、ANDゲート201、ORゲート202、および、スキャンフリップフロップ203追加のみでフリップフロップ200のリセット回路のスキャンテストを実行できるので、スキャンテスト回路規模を小さくできるという効果がある。また

、非同期リセット付きフリップフロップのリセット回路の信号に対して、これを有効・無効にマスク制御可能なフリップフロップ 2 0 3 を設けているので、スキャンテスト制御性が向上し、テストパターン数を少なくできるという効果がある。

#### 【 0 0 7 3 】

##### (第 3 の実施の形態)

本実施の形態にかかる非同期リセット付きフリップフロップ回路用スキャンテスト回路（以下、単にスキャンテスト回路という）について、図 9 および図 1 0 を参照しながら説明する。図 9 は、本実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。図 1 0 は、図 9 の回路を含むスキャンテスト回路の全体構成の一例を示す説明図である。

#### 【 0 0 7 4 】

まず、図 9 を参照しながら説明すると、本実施の形態にかかるスキャンテスト回路は、非同期リセット付きフリップフロップ（以下、単にフリップフロップという） 3 0 0 と、AND ゲート 3 0 1 と、組み合わせ回路 3 1 0 と、OR ゲート 3 0 2 を含んで構成されている。同図において、符号 T D I は、スキャンテスト用のテスト専用ピン（本発明の入力手段）である。なお以下の説明において、このテスト専用ピンから入力される信号も便宜上同じ符号 T D I で表す。

#### 【 0 0 7 5 】

フリップフロップ 3 0 0 のスキャンシフトイネーブル入力ピン S E には、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。フリップフロップ 3 0 0 のスキャンデータ入力 S I には、スキャンデータ S I が入力されている。スキャンデータ S I は、図示しない他のフリップフロップのスキャン出力など、スキャンシフト時にフリップフロップ 3 0 0 にスキャンデータをシフトさせるための信号である。フリップフロップ 3 0 0 のデータ入力ピン D I には、データ D I が入力されている。データ D I は、任意の回路の出力データが入力されている。

#### 【 0 0 7 6 】

フリップフロップ 3 0 0 の出力 Q からは、データ D O が出力されている。フリ

フリップフロップ 3 0 0 の出力データ D O は、フリップフロップ 3 0 0 のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ 3 0 0 にクロック信号 C L K が入力されている。このクロック信号 C L K は、スキャンテスト時のスキャンクロックとして使用される。

## 【 0 0 7 7 】

フリップフロップ 3 0 0 の非同期リセット入力ピン ( R : 正論理 ) には、リセット信号 R S T が入力されている。リセット信号 R S T は、 A N D ゲート 3 0 1 から出力されている。 A N D ゲート 3 0 1 の入力として、組み合わせ回路 3 1 0 の出力データ L O が正論理で入力され、 O R ゲート 3 0 2 の出力信号 O R O が負論理で入力されている。

## 【 0 0 7 8 】

O R ゲート 3 0 2 の入力として、外部からテストデータ入力 T D I , および、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。

## 【 0 0 7 9 】

次いで、図 9 に示した回路を含むスキャンテスト回路の全体構成の一例について、図 1 0 を参照しながら説明する。スキャンテスト回路 3 0 は、フリップフロップ 3 0 0 と、 A N D ゲート 3 0 1 と、組み合わせ回路 3 1 0 と、 O R ゲート 3 0 2 を含み、さらに、フリップフロップ 3 2 0 , 3 3 0 と、バッファ 3 1 1 , 3 1 2 を含んで構成されている。

## 【 0 0 8 0 】

フリップフロップ 3 0 0 のスキャンシフトイネーブル入力ピン S E には、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。フリップフロップ 3 0 0 のスキャンデータ入力 S I には、スキャンデータ S I が入力されている。スキャンデータ S I は、フリップフロップ 3 2 0 のスキャン出力など、スキャンシフト時にフリップフロップ 3 0 0 にスキャンデータをシフトさせるための信号である。フリップフロップ 3 0 0 のデータ入力ピン D I には、データ D I が入力されている。データ D I はフリップフロップ 3 2 0 の出力データがバッファ 3 1 1 で増幅されて入力されている。

## 【 0 0 8 1 】

フリップフロップ 3 0 0 の出力 Q からは、データ D O が出力されている。フリップフロップ 3 0 0 の出力データ D O は、フリップフロップ 3 0 0 のスキャン出力データとしても使用され、図示しない他のフリップフロップのスキャン入力に使用されている。また、フリップフロップ 3 0 0 にクロック信号 C L K が入力されている。このクロック信号 C L K は、スキャンテスト時のスキャンクロックとして使用される。

## 【 0 0 8 2 】

フリップフロップ 3 0 0 の非同期リセット入力ピン (R : 正論理) には、リセット信号 R S T が入力されている。リセット信号 R S T は、AND ゲート 3 0 1 から出力されている。AND ゲート 3 0 1 の入力として、組み合わせ回路 3 1 0 の出力データ L O が正論理で入力され、OR ゲート 3 0 2 の出力信号 O R O が負論理で入力されている。

## 【 0 0 8 3 】

OR ゲート 3 0 2 の入力として、外部からテストデータ入力 T D I , および、スキャンシフトイネーブル信号 S C A N \_ S E が入力されている。

## 【 0 0 8 4 】

図 1 0 に示した例において、組み合わせ回路 3 1 0 は、フリップフロップ 3 2 0 , 3 3 0 の出力信号を入力とする AND ゲートにより構成されている。なお、組み合わせ回路の構成は、図 1 0 に示した組み合わせ回路 3 1 0 の構成に限定されるものではない。フリップフロップ 3 2 0 の出力信号 (バッファ 3 1 1 の入力信号) を a , フリップフロップ 3 3 0 の出力信号を b , AND ゲートの出力信号を y とすると、スキャンシーケンス状態終了後 (スキャンシフトイネーブル信号 S C A N \_ S E = 0) の信号 a , b , y と、OR ゲート 3 0 2 の出力信号 O R O , リセット信号 R S T , フリップフロップ 3 0 0 の状態、バッファ 3 1 1 のピン a が 0 に縮退している故障 ( s t u c k a t 0 : S A 0 ) をテストできる／できない、の関係は、すでに参照した図 7 に示した通りである。

## 【 0 0 8 5 】

図 7 に示すように、マスク機能を設けることによって、フリップフロップ 3 0



0のリセットを実施する／しないを自由にコントロールできるので、テストパターンの融通が効くようになる。テスト時間を短くするために、テストパターンを圧縮することが可能である。すなわち、同じ状態を実現できるテストパターンを削減する作業をツール上で行うが、マスク機能を設けることによってテストパターンを圧縮することが可能である。

## 【0086】

次いで、スキャンテスト回路30の動作の一例を、図11を参照しながら説明する。本実施の形態の動作を説明するタイミングチャートを図11に示す。スキャンテストシーケンスについては第1、2の実施の形態と同様であり、また、クロックCLK、スキャンシフトイネーブル信号SCAN\_SE、および、組み合わせ回路310の出力LOの波形は第1、2の実施の形態の動作と同様である。

## 【0087】

ts0, tc0, ts1, tc1, ts3, tc3におけるフリップフロップ300のリセット入力信号RST, フリップフロップ300のデータ入力DI, およびデータ出力DOの動作波形も第2の実施と同様である。第2の実施の形態では、スキャンフリップフロップ203にスキャンローディングされているデータSFFOによって、キャプチャシーケンス中のフリップフロップ300のリセット入力信号RSTの有効・無効を制御していたが、第3の実施の形態では外部テストデータ入力信号TDIによって制御する。

## 【0088】

ts2のクロック立ち上がりで、組み合わせ回路310の出力LO=1となり、外部テストデータ入力TDI=1となるように制御し、スキャンシフトイネーブル信号SCAN\_SE=0となってキャプチャシーケンスが始まると、任意のタイミングt0で、外部テストデータ入力TDI=0とする。このときORゲート302の出力ORO=0となり、組み合わせ回路310の出力LO=1であるため、ANDゲート301の出力RST=1となり、フリップフロップ300はリセットされる。

## 【0089】

キャプチャタイミングtc2後のキャプチャシーケンス中の任意のタイミング

t 1で、外部テストデータ入力T D I = 1とする。このときO Rゲート3 0 2の出力O R O = 1となり、組み合わせ回路3 1 0の出力L O = 1であるため、A N Dゲート3 0 1の出力R S T = 0となり、フリップフロップ3 0 0のリセットが解除される。

#### 【0 0 9 0】

以上のように、スキャンシフトシーケンス中は非同期リセット信号によりスキャンシフトデータをリセットすることなくスキャンシフトし、キャプチャサイクル時の組み合わせ回路3 1 0の出力L Oと、これを有効・無効にマスク制御可能な外部テストデータ入力T D Iによって、フリップフロップ3 0 0のリセット・非リセット状態をテストすることができる。

#### 【0 0 9 1】

(第3の実施の形態の効果)

以上説明したように、本実施の形態によれば、スキャンテスト用の専用のテスト専用ピンT D I、A N Dゲート3 0 1、O Rゲート3 0 2追加のみでフリップフロップ3 0 0のリセット回路のスキャンテストを実行できるので、スキャンテスト回路規模を小さくできるという効果がある。非同期リセット付きフリップフロップのリセット回路の信号に対して、これを有効・無効にマスク制御可能なテスト設けているので、スキャンテスト制御性が向上し、テストパターン数を少なくできるという効果がある。また、スキャンテスト用の専用のテスト専用ピンを任意のタイミングで制御できるので、タイミング設計がしやすいという効果がある。

#### 【0 0 9 2】

以上、添付図面を参照しながら本発明にかかるスキャンテスト回路の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

#### 【0 0 9 3】

例えば、上記実施の形態として、非同期リセット回路を用いたが、非同期セッ

ト回路にも同様に適用可能であり、セット・リセット信号のハイアクティブ・ローアクティブに関係なく用いることが可能である。また、上記実施の形態中のANDゲート、ORゲートは論理関係を示すための回路構成例であり、同様の論理を生成するものであれば、この構成に限られたものではない。

【0094】

【発明の効果】

以上説明したように、本発明によれば、以下のような優れた効果を有する。

【0095】

スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを別途設ける必要がないので、LSIのピンを少なくできるという効果がある。また、リセット制御手段の追加のみで、フリップフロップ（例えば、非同期リセット付きフリップフロップ）のリセット回路のスキャンテストを実行できるので、少ないスキャンテスト回路規模でスキャンテストの故障検出率を向上できるという効果がある。

【0096】

また、フリップフロップ（例えば、非同期リセット付きフリップフロップ）のリセット回路の信号に対して、これの有効・無効を制御するマスク手段と、該マスク手段を制御するマスク制御手段とを設けているので、スキャンテスト制御性が向上し、テストパターン数を少なくできるという効果がある。

【0097】

また、スキャンテスト用の専用の入力手段（例えば、テスト専用ピン）を任意のタイミングで制御できるので、タイミング設計がしやすいという効果がある。

【図面の簡単な説明】

【図1】

第1の実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。

【図2】

第1の実施の形態にかかるスキャンテスト回路の全体構成の一例を示す説明図である。

【図 3】

組み合わせ回路の状態を示す説明図である。

【図 4】

第 1 の実施の形態にかかるスキャンテスト回路の動作を示す説明図である。

【図 5】

第 2 の実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。

【図 6】

第 2 の実施の形態にかかるスキャンテスト回路の全体構成の一例を示す説明図である。

【図 7】

組み合わせ回路の状態を示す説明図である。

【図 8】

第 2 の実施の形態にかかるスキャンテスト回路の動作を示す説明図である。

【図 9】

第 3 の実施の形態にかかるスキャンテスト回路の特徴部分の構成を示す説明図である。

【図 1 0】

第 3 の実施の形態にかかるスキャンテスト回路の全体構成の一例を示す説明図である。

【図 1 1】

第 3 の実施の形態にかかるスキャンテスト回路の動作を示す説明図である。

【符号の説明】

1 0, 2 0, 3 0 スキャンテスト回路

1 0 0, 2 0 0, 3 0 0 非同期リセット付きフリップフロップ

1 0 1, 2 0 1, 3 0 1 ANDゲート

1 1 0, 2 1 0, 3 1 0 組み合わせ回路

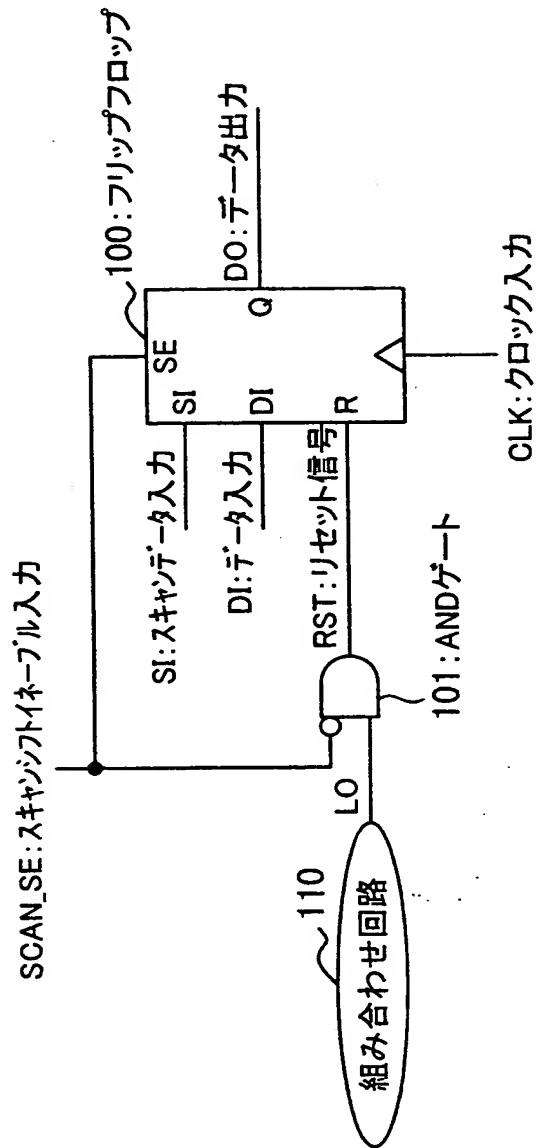
2 0 2, 3 0 2 ORゲート

2 0 3 任意データロード用スキャンフリップフロップ

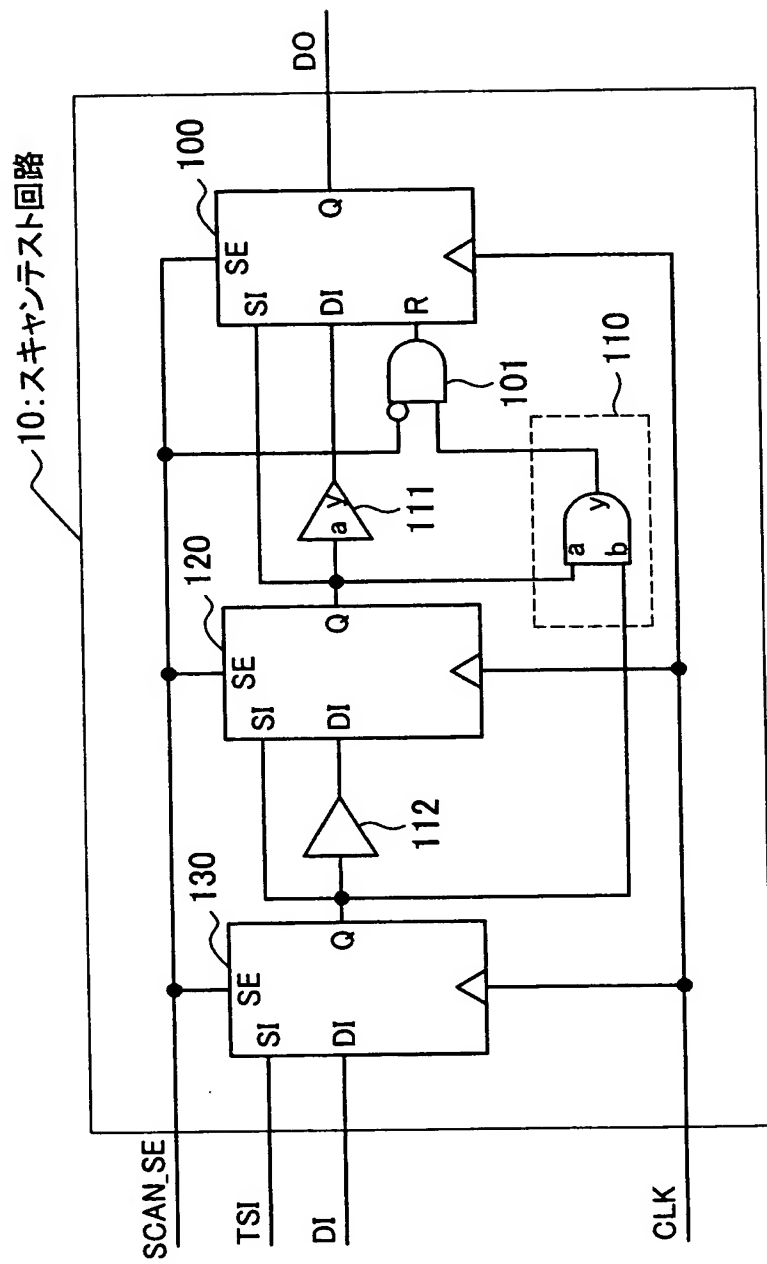
T D I    テスト専用ピン

【書類名】 図面

【図 1】



【図 2】

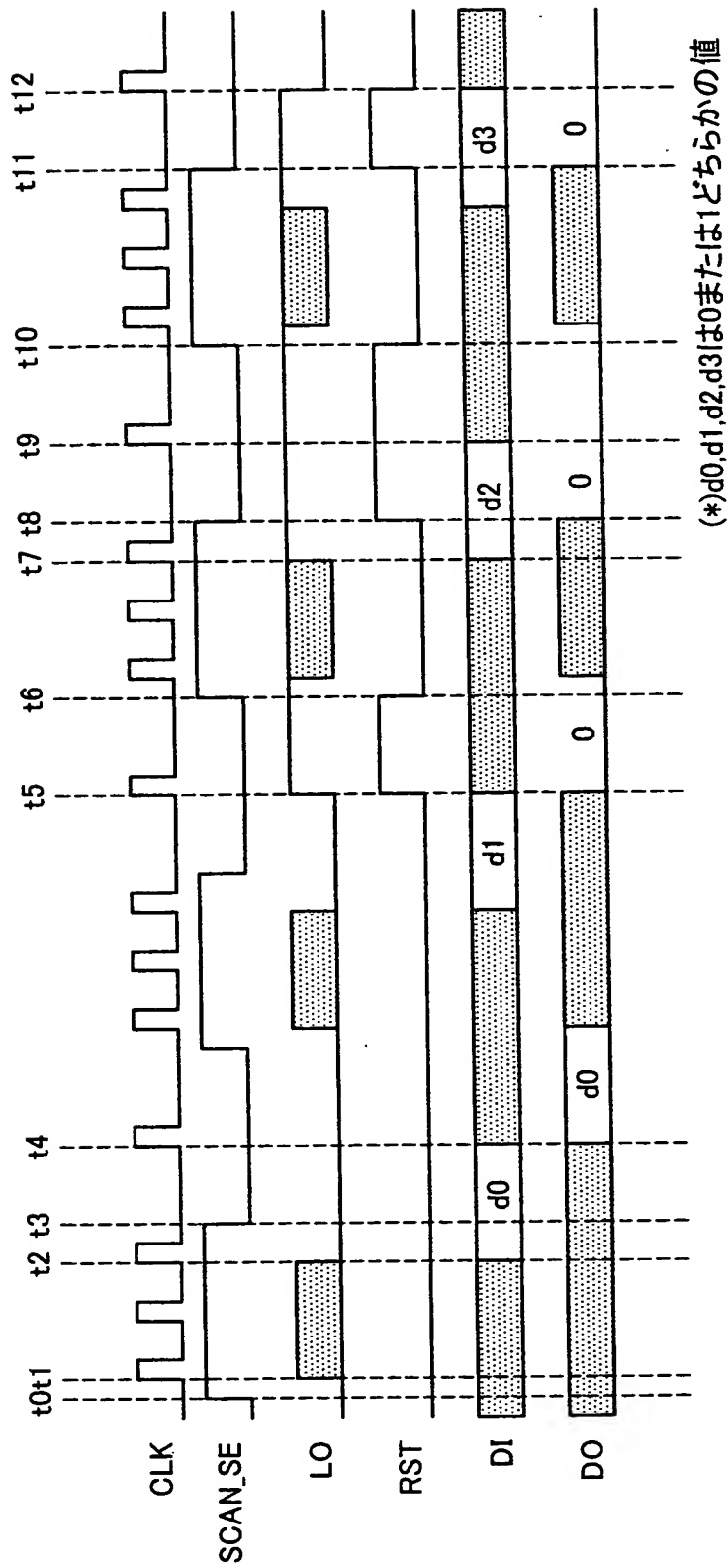


【図 3】

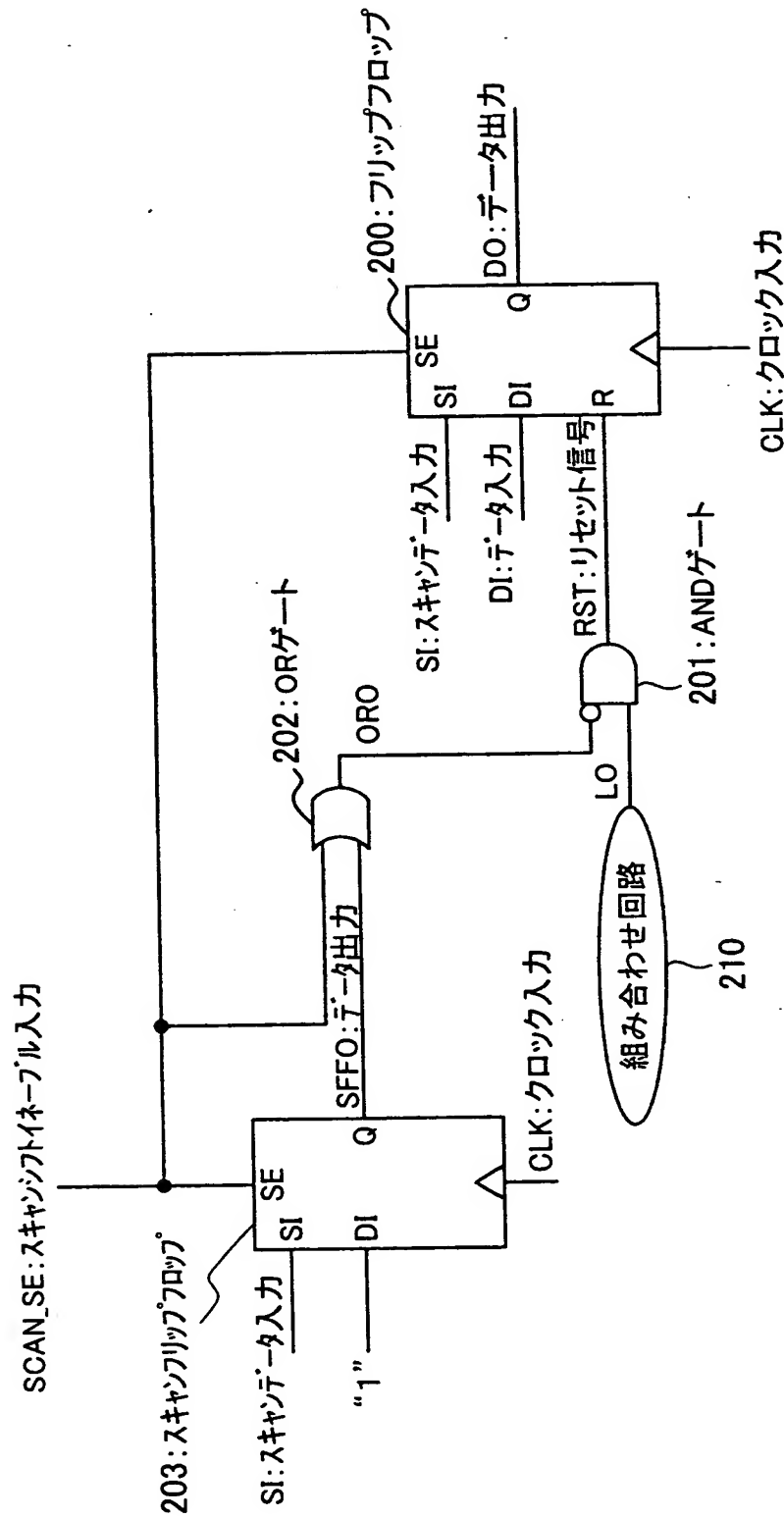
a	b	y	R	F/F(100)の状態	バッファ(111)のピン a の SA0 故障
0	0	0	0	リセットはかからない	テストできない
0	1	1	1	リセットはかからない	テストできない
1	0	1	1	リセットはかからない	テストできる
1	1	1	1	リセットはかかる	テストできない(リセットがかかるので)



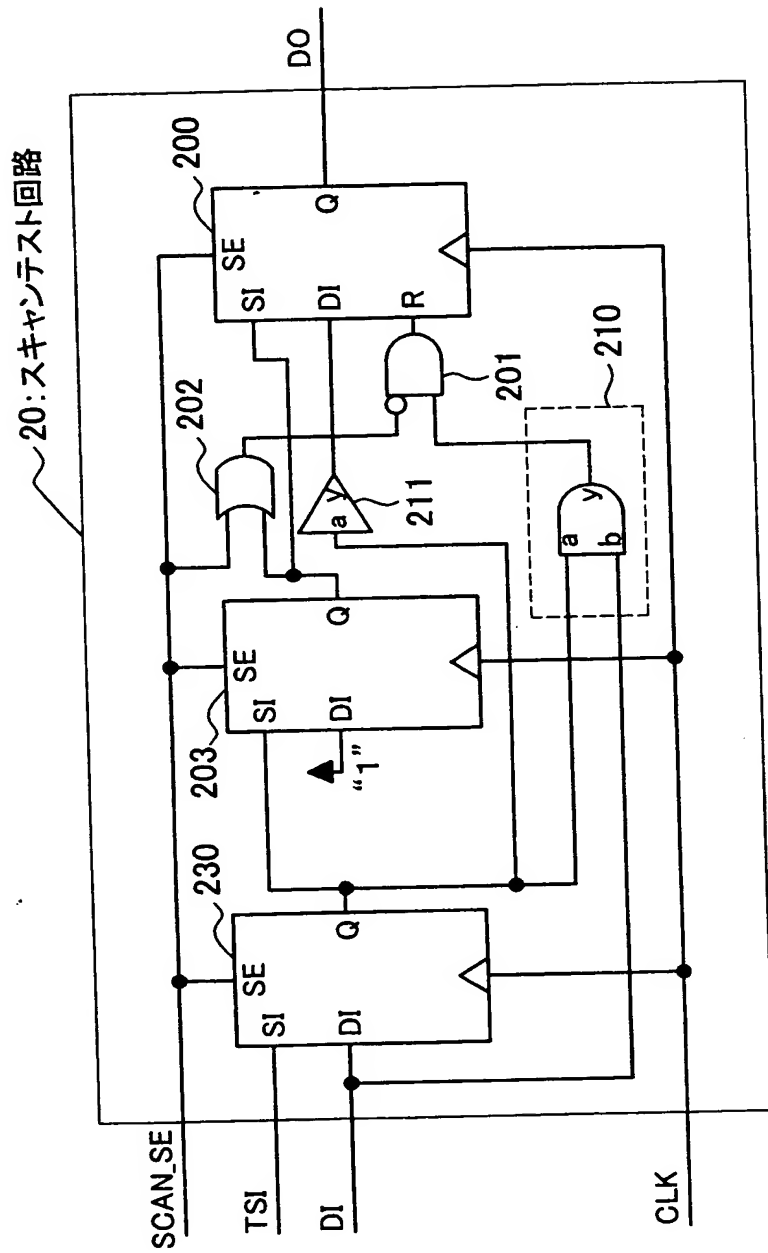
【図 4】



【図 5】



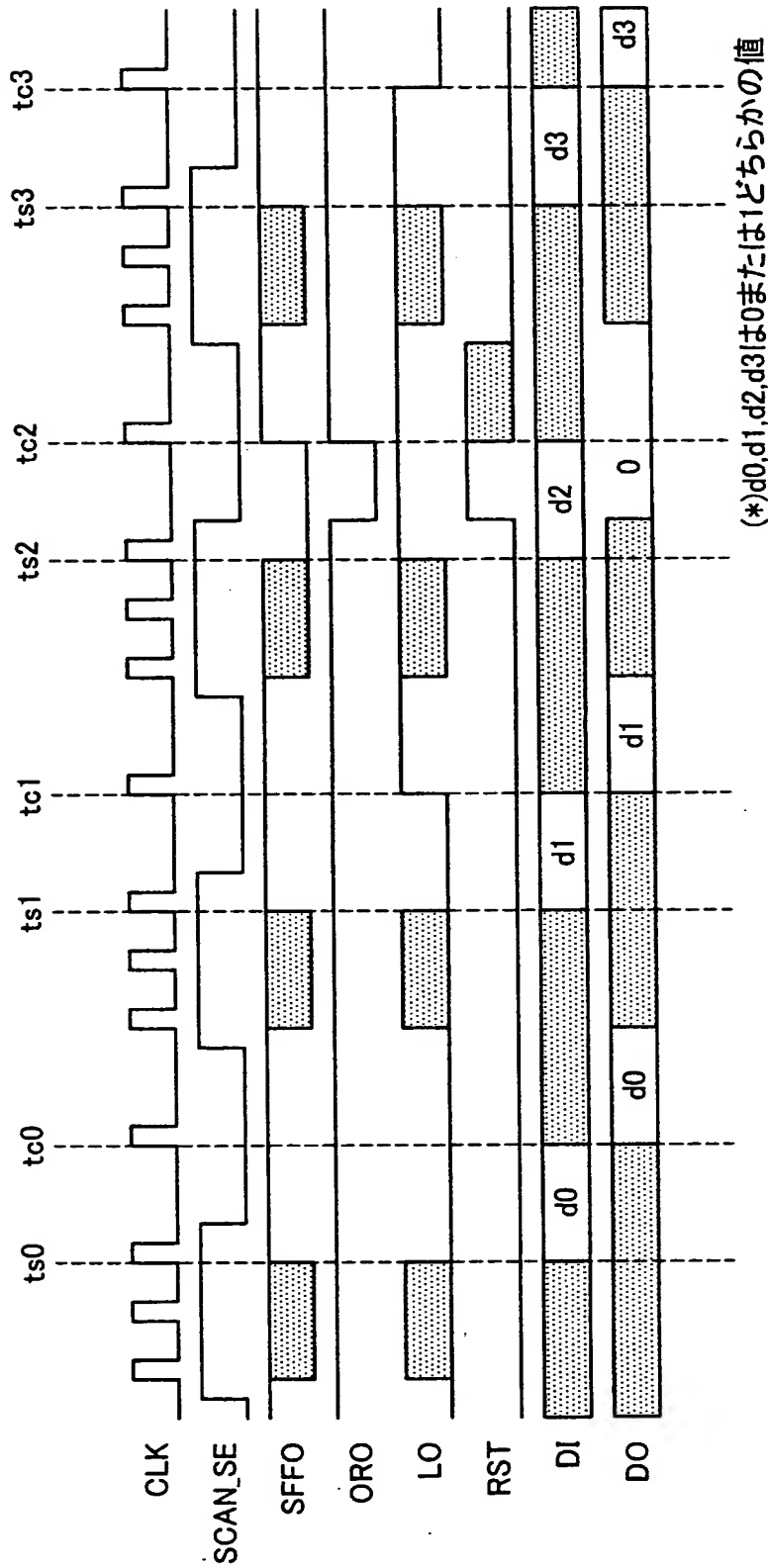
【図6】



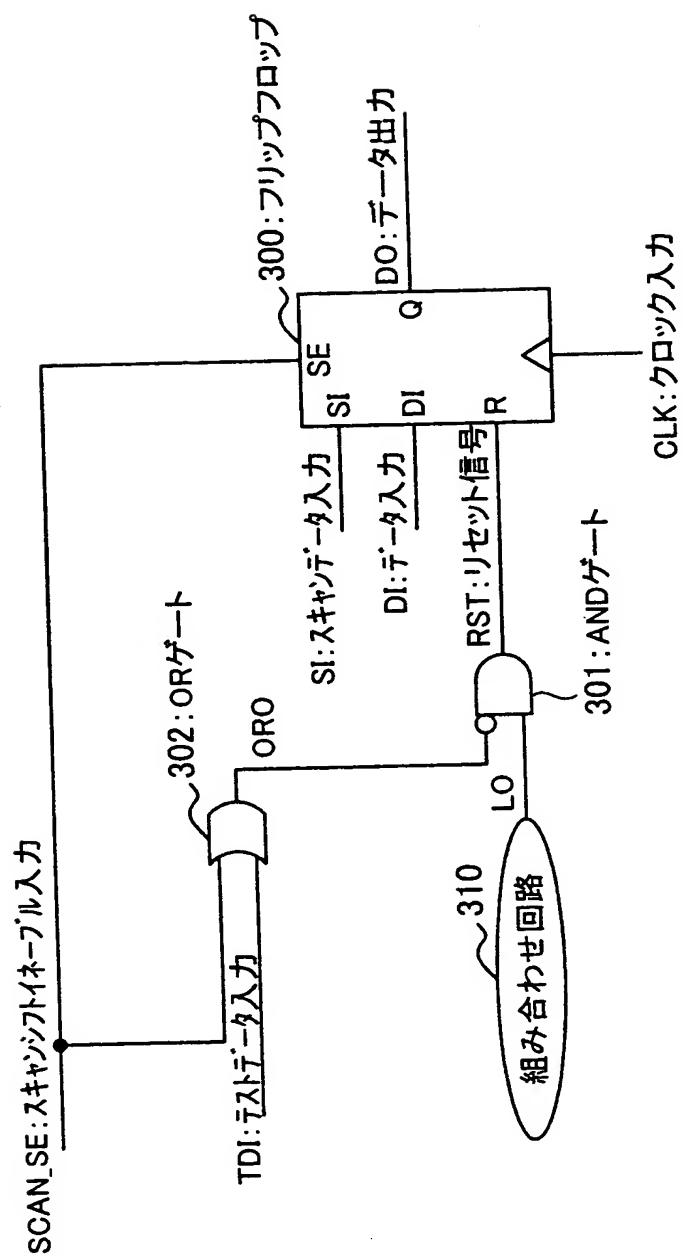
【図 7】

a	b	y	ORO	R	F/F(200,300)の状態	バッファ(211,311)のピン a の SA0 故障
0	0	0	X	0	リセットはかからない	テストできない
0	1	1	0	1	リセットはかからない	テストできない
1	0	1	0	1	リセットはかからない	テストできる
1	1	1	0	1	リセットはかかる	テストできない(リセットがかかるので)
0	0	0	X	0	リセットはかからない	テストできない
0	1	1	1	0	リセットはかからない	テストできない
1	0	1	1	0	リセットはかからない	テストできる
1	1	1	1	0	リセットはかからない	テストできる

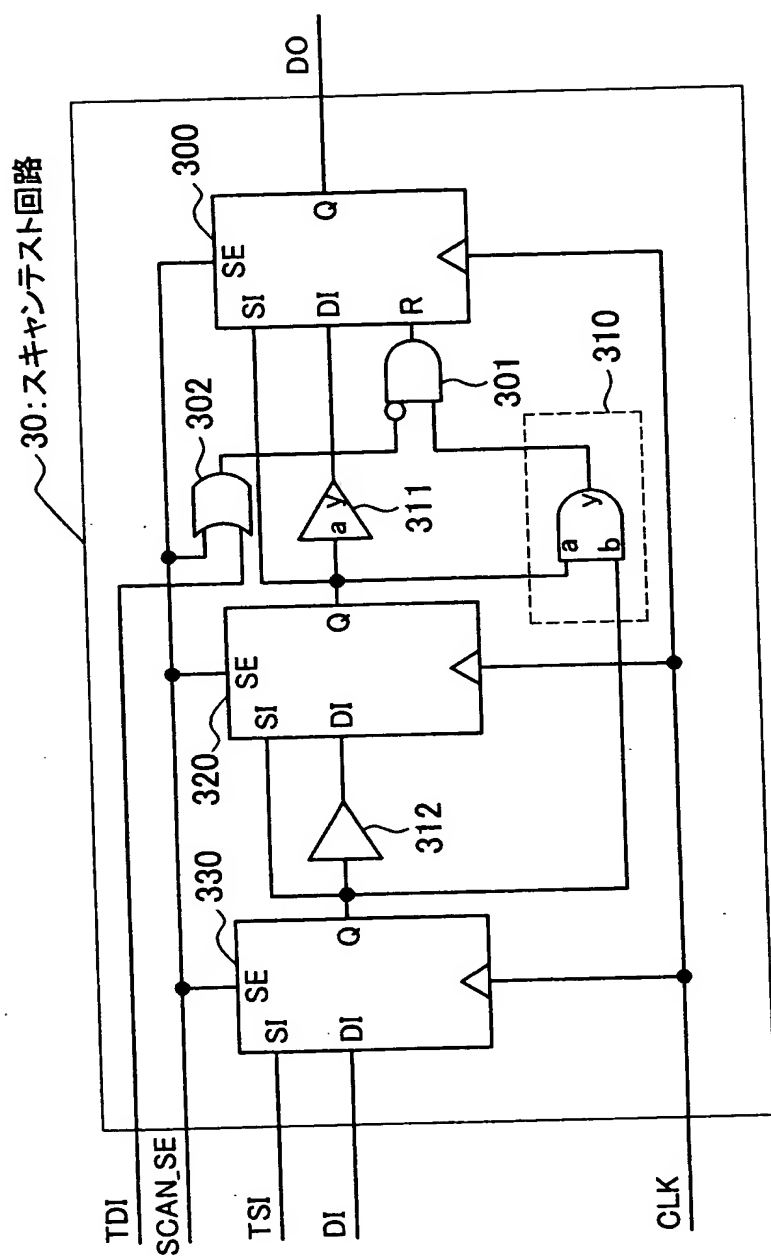
【図 8】



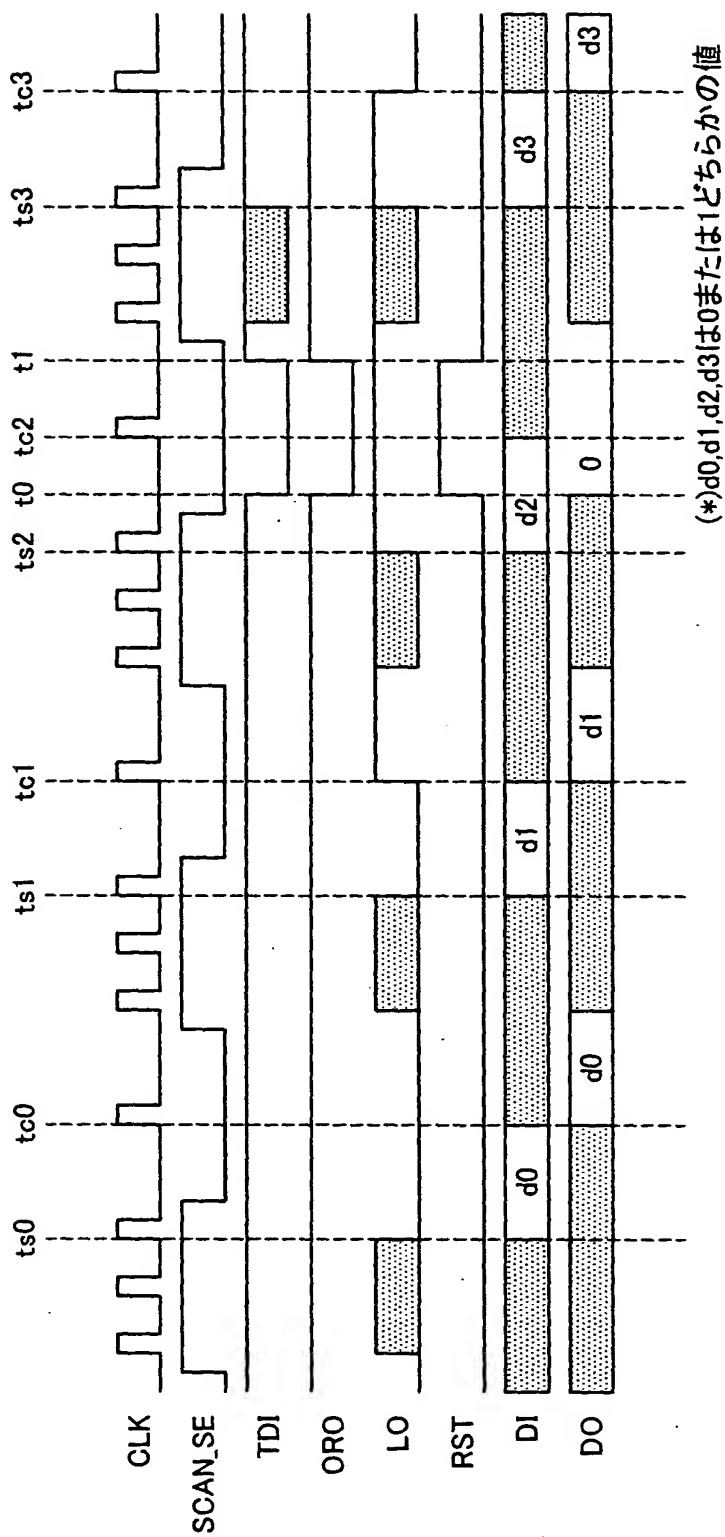
【図9】



【図10】



【図 11】





【書類名】 要約書

【要約】

【課題】 L S I のピン数を削減し、テストパターン削減、故障検出率の向上、および、スキャンテスト関連回路規模の削減を図ることの可能なスキャンテスト回路を提供する。

【解決手段】 スキャンテスト回路 1 0 は、リセット信号 R S T が入力されるリセット入力端子 R を有し、スキャンデータ S I と、データ D I とが入力され、この入力されたスキャンデータとデータとをスキャンシフトイネーブル信号 S C A N \_ S E によって切り換えて出力データ D O とするフリップフロップ 1 0 0 と、スキャンシフトイネーブル信号によって、リセット信号を制御するリセット制御手段たる A N D ゲート 1 0 1 とを備えたことを特徴とする。かかる構成によれば、スキャンテスト用の専用のスキャンテストモード入力、外部リセット入力のピンなど、テスト専用ピンを別途設ける必要がないので、L S I のピンを少なくできるという効果がある。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日  
[変更理由] 新規登録  
住 所 東京都港区虎ノ門1丁目7番12号  
氏 名 沖電気工業株式会社